

3 Speicherkenngößen

3.1 Kenngrößen

Speicherkenngößen sind Merkmale zur Klassifizierung und zum Vergleich. Sie dienen weiterhin zur Angabe der wichtigsten Eigenschaften, die für den Anwender zum Systementwurf von Bedeutung sind. Man unterscheidet zwischen den nachfolgenden Kenngrößen:

1. Speicherkapazität

Die Speicherkapazität bestimmt den Umfang, mit dem die Menge von Daten bzw. die Größe eines Programms abgearbeitet werden kann. Die Speicherkapazität ist die Anzahl der in einem Speicher untergebrachten Speicherzellen. Da die Speicher meistens wortorganisiert sind, ist die kleinste adressierbare Einheit vielfach 1 Byte = 8 Bit. Entsprechend der Speicherorganisation wird die Kapazität in Worten x Bit (Wortlänge) angegeben.

Z.B. $4096 \times 1 \text{ Bit} \Rightarrow = 4096 \text{ Worte zu je } 1 \text{ Bit}$

$256 \times 4 \text{ Bit} \Rightarrow = 256 \text{ Worte zu je } 4 \text{ Bit}$

Übersteigt die Kapazität die Zahl 1024 (2^{10}), so gibt man diese auch in KBit an. 1024 Bit wäre demnach 1 KBit. Ein Speicher mit 2 KBit hat 2048 Speicherzellen. Die Reihenfolge ergibt sich aus der Folge 2^n , beginnend mit $n = 1\text{K}, 2\text{K}, 4\text{K}, 8\text{K}, 16\text{K}, 32\text{K}$, usw. Ein 64KBit-Speicher hat demnach 65536 (2^{15}) Speicherzellen.

Aus der Speicherkapazität leitet sich die Speicherdichte ab. Sie wird in Kapazität pro Flächeneinheit (Bit/mm^2) gemessen. Mit steigender Dichte sinken auch die Kosten pro Bit (*Abb. 3.1*). Daher wird der Technologie zur Erhöhung der Speicherkapazität und damit einer größeren Ausbeute pro Bausteinfläche besondere Bedeutung zugemessen.

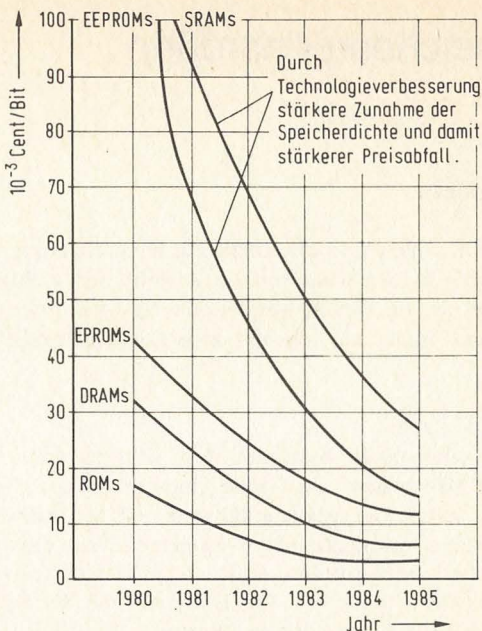


Abb. 3.1 Preisabfall von Halbleiterspeichern

2. Zugriffszeit

Wie wir bei der Realisierung von Speichersystemen noch sehen werden, geschieht der Zugriff auf die Speicherplätze ortsadressierbarer Halbleiterspeicher einmal durch Anlegen einer Adresse, die den Speicherplatz anspricht und zum anderen durch ein zusätzliches Signal für die Auswahl eines Speicherbausteins aus einer Anzahl von Bausteinen. Dieser Sachverhalt ist in *Abb. 3.2* dargestellt. Von einer 9-Bit Adresse sind z.B. 8 Bit für die Auswahl der Speicherplätze in dem Speicherbaustein vorgesehen, der durch das gesetzte oder nicht gesetzte Bit-MSB ausgewählt ist.

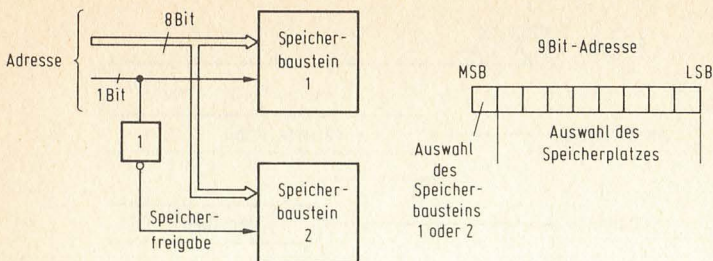


Abb. 3.2 Speicher mit 2 Bausteinen

Hinsichtlich des Zugriffs gibt es die sogenannte Adressenzugriffszeit (read access time) und Zugriffszeit über die Speicherfreigabe (chip select access time). Wie aus *Abb. 3.3* ersichtlich, hängt die Zugriffszeit von einigen Faktoren ab, die einmal von einer speicherinternen Verzögerungszeit, wie Umschalt- und Laufzeit in der Matrix, beeinflusst wird. Zum anderen hängt sie von der peripheren Beschaltung im Baustein ab, z.B. Verzögerungen in Registern, Decodern, Ausgabeeinrichtungen oder Puffern. In dem Impulsdiagramm sind die Zugriffszeiten mit zeitlichem Ablauf dargestellt.

Bei der Adressenzugriffszeit wird zu einem bestimmten Zeitpunkt der Speicherbaustein freigegeben. Die Zugriffszeit ist

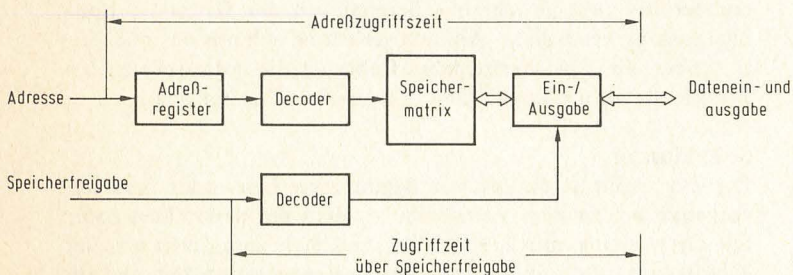


Abb. 3.3 Zugriffszeiten

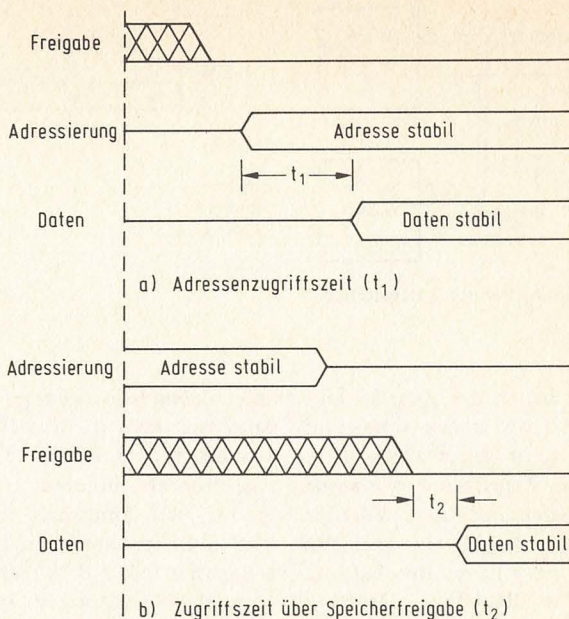


Abb. 3.3 Zugriffszeiten

die Verzögerungszeit, die von der Adressierung im Adressenregister bis zum gesicherten Bereitstehen der Daten am Speicherausgang verstreicht. Ähnlich verhält es sich mit der Zugriffszeit über die Speicherfreigabe. Dabei ist die Adressenzugriffszeit kleiner als die Zugriffszeit über die Speicherfreigabe.

3. Zykluszeit

Die Zykluszeit ist die Zeit von Beginn eines Lese-/oder Speichervorgangs bis zu dem Zeitpunkt, zu dem ein neuer Lese-/oder Speichervorgang möglich ist. Sie setzt sich zusammen aus der Zugriffszeit und einer sogenannten Regenerationszeit (Erholzeit).

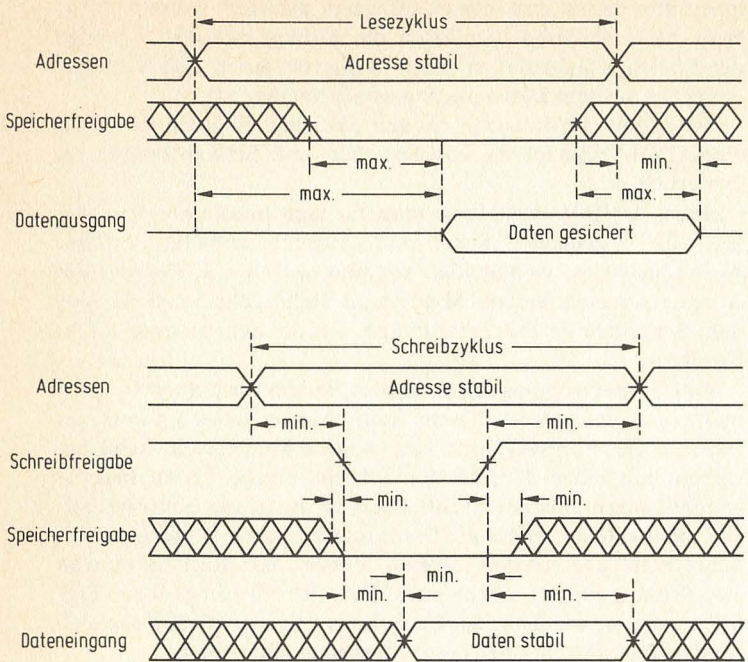


Abb. 3.4 Impulsdiagramm eines Schreib-/Lesezyklus

Im Grenzfall ist die Zykluszeit gleich der Zugriffszeit. *Abb. 3.4* zeigt am Beispiel eines statischen RAM die Mindest- und Maximaldaten bzw. die Aufzeichnung der kritischen Verzögerungszeiten, die zu beachten sind. Da die Parameter von Festwertspeichern denen der Schreib-/Lesespeicher im Lesezyklus entsprechen, genügt es zum Verständnis den Lese- und Schreibzyklus eines RAM aufzuzeichnen.

Bei Anfrage über eine Adresse (Adresse stabil) bzw. nach einer maximalen Adressenzugriffszeit kann auf gesicherte Daten am Ausgang zugegriffen werden, wobei die Speicherfreigabe

innerhalb dieser Zeit etwas verzögert aktiviert werden kann. Wird nach Auslesen der Daten die Anfrage beendet, benötigt der Speicher aufgrund interner Laufzeiten noch eine Verzögerungszeit, bis sein Datenausgang wieder inaktiv ist.

Wird eine Information in den Speicher eingeschrieben, ist eine UND-Verknüpfung von Speicher- und Schreibfreigabe erforderlich.

Diese UND-Verknüpfung muß für eine bestimmte Mindestzeit, die sogenannte Schreibzeit, aufrecht erhalten bleiben. Weiterhin ist es wichtig, daß vor und nach der Schreibzeit die Adresse für eine weitere Mindestzeit stabil gehalten wird. Vor dem Schreiben ist dies erforderlich, um die Schreiblogik aufzubereiten.

Der Schreibvorgang wird beendet, indem die Schreibfreigabe inaktiviert wird. Von diesem Zeitpunkt an müssen die Daten (ebenso die Adresse) noch eine weitere Mindestzeit stabil anstehen, um einen Einfluß der Schreibfreigabe bis zu Inaktivwerden auszuschließen. Schließlich ist noch die Schreiberholzeit zu erwähnen, in der die Datenausgänge nach Beendigung der Schreibzeit abgeschaltet bleiben müssen, um Restspannungen auf Datenleitungen abzubauen. Dies ist allerdings kein Problem des Anwenders, da die Schreiberholzeit in der nachfolgenden Zugriffszeit eines Lesezyklus eingeschlossen ist.

Die Schreib- und Lesezykluszeit beinhaltet die mindest erforderliche Gesamtzeit eines Schreib- bzw. Lesevorgangs und ist beim Systementwurf von Speichern zu berücksichtigen.

3.2 Betriebsdaten

Verlustleistung

Die Verlustleistung ist als ein Nachteil des Halbleiterspeichers zu sehen. Um einen Speicherzustand aufrechtzuerhalten, ist eine ständige Energiezufuhr notwendig. Die Verlustleistung wird als Gesamtverlustleistung oder als Verlustleistung pro Bit angegeben. Sie betrug in der Anfangszeit etwa 1 mW/Bit. Mit der Steigerung der Speicherdichte ist es erforderlich, die Verlustleistung

abzusenken, da sich die Betriebstemperatur erhöht. Die Verlustleistung pro Bit bewegt sich heute schon in Bruchteilen des Mikrowattbereichs.

Temperaturbereich

Unter dem Betriebstemperaturbereich versteht man die Temperatur, bei der der Speicher betriebssicher arbeitet. Unter dem Lagertemperaturbereich versteht man die Temperatur, die bei Lagerung des Bausteins nicht über- und unterschritten werden darf.

Betriebsbedingungen bzw. statische Kenndaten

Die Betriebsbedingungen enthalten Maximal- und Minimalangaben insbesondere über:

- Art und Höhe der Spannungsversorgung
- Signalpegel am Eingang und Ausgang
- Definition der Logikzustände
- Strom und Spannung an Datenaus- und -eingang
- Eingangs- und Ausgangskapazitäten
- Stromaufnahme in Ruhe- und Betriebszustand

Prüfbedingungen

Zur Funktionsprüfung des Bausteins ist die Definition der Impulse, Spannungspegel und Ausgangslast erforderlich. Geprüft werden häufig die Schalt- und Verzögerungszeiten.

Kennlinien

Die Kennlinien liefern ergänzende Angaben über das Betriebsverhalten der Speicher unter Beachtung der Parameter, Temperatur, Spannung, Strom und Kapazität. Abb. 3.5 zeigt das Bei-

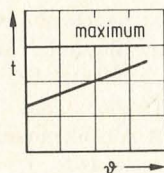


Abb. 3.5 Zugriffszeit in Abhängigkeit von der Betriebstemperatur

spiel einer sehr gebräuchlichen Kennlinie, nämlich die Abhängigkeit der Zugriffszeit δ von der Umgebungstemperatur.

3.3 Physikalische Merkmale

Zu den physikalischen Merkmalen zählen wie in *Abb. 3.6* dargestellt Gehäusebauformen und Abmessungen, ferner Gewicht, Anschlußbezeichnungen und -belegungen sowie die Schaltsymbolik. Bei den Gehäusebauformen sind a) Dual In-line Gehäuse, b) Flachgehäuse und c) Rundgehäuse gebräuchlich. Sie schützen das Siliziumplättchen vor Verunreinigung und chemischen Einflüssen, wie Korrosion und Feuchtigkeit und ermöglichen den Einbau in Leiterplatten. Bezüglich der elektrischen Eigenschaften müssen die Gehäuse die Anforderungen von kleiner Streukapazität und Induktivitäten der Zuführungen erfüllen. Die Montagetechnik erfordert viele Arbeitsschritte und stellt einen erheblichen Anteil der Gesamtkosten des Bauelements dar. Die größte Bedeutung hat das Dual In-line Gehäuse (DIL-Gehäuse). Es ist ein Zweiseitengehäuse, bei dem die Anschlüsse in der Regel nach unten gebogen sind, um ein handliches Einsetzen in den Sockel oder die Leiterplatte zu ermöglichen. Die Anschlüsse sind in zwei Reihen parallel angeordnet (*dual in-line*), wobei der Beinabstand größer als das Normmaß 2,54 mm ist.

Infolge der stabilen Ausführung der Anschlüsse ergibt sich zwar ein höherer Volumenbedarf, der aber mittlerweile durch steigende Komplexibilität der Schaltungen kompensiert ist. Zweiseitengehäuse werden mit unterschiedlicher Anzahl von Anschlüssen gefertigt. Die relativ große Stegbreite der Anschlüsse erlaubt eine gute Wärmeableitung zur Leiterplatte.

Flachgehäuse (*Abb. 3.6 b*) (*flat package*) haben besonders geringe Bauhöhe. Der Beinabstand ihrer Anschlüsse ist auf 1,27 mm genormt. Die Zuleitungen führen parallel zur Plättchenoberfläche in das Innere des Gehäuses. Flachgehäuse gibt es in vielen Ausführungen bis zu 100 Zuleitungen. Das billigere Rundgehäuse (*Abb. 3.6 c*) wird besonders dort verwendet, wo nur

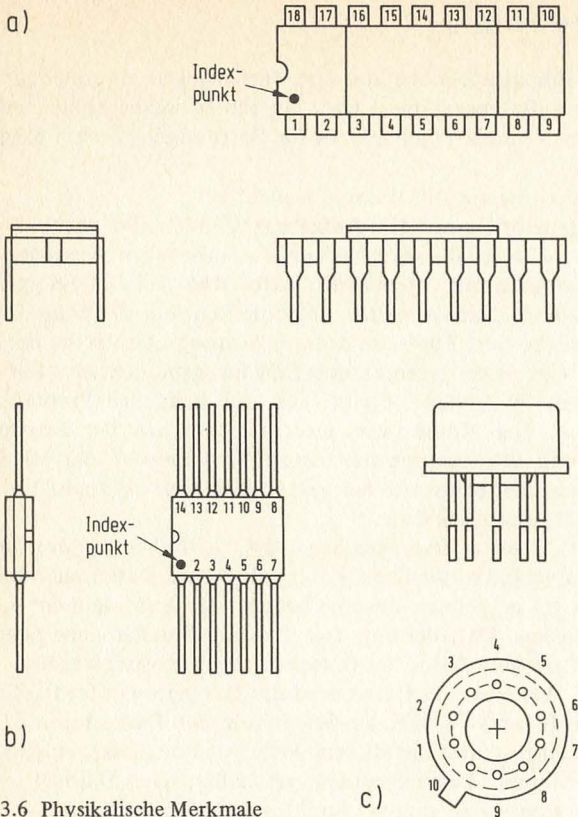


Abb. 3.6 Physikalische Merkmale

wenige Anschlüsse, (bis 16) wie z.B. bei Umlaufspeichern, benötigt werden. Ihre Bedeutung ist rückläufig, da eine Automatisierung beim Einbau in Leiterplatten nicht möglich ist. Als Gehäusematerialien sind Keramik, Kunststoff und bei Rundgehäusen auch Metall gebräuchlich.

Metall- und Keramikgehäuse werden den billigeren Kunststoffgehäusen vor allem bei höheren Betriebstemperaturen vorgezogen.

3.4 Datenausgang

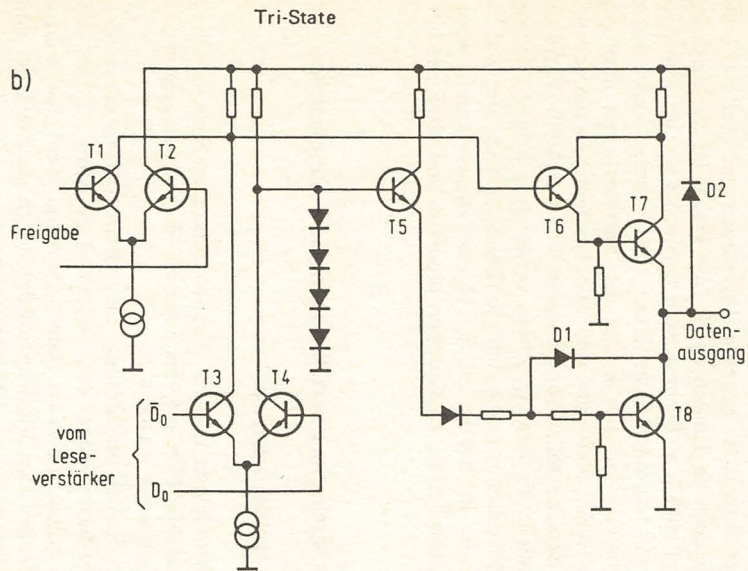
Datenausgänge können aus dem Speicher getrennt oder gemeinsam mit Dateneingängen über ein Ein-/Ausgaberegister geführt werden. Grundsätzlich gibt es für Datenausgänge zwei Möglichkeiten:

- Datenausgang mit offenem Kollektor
- Datenausgang mit drei Ausgangszuständen (*Tri-state*)

Abb. 3.7 zeigt die Beschaltung der möglichen Ausgänge. Bei Datenausgang mit offenem Kollektor Abb. 3.7a ist ein externer Widerstand (*pull-up resistor*) erforderlich, um ein hohes Potential zu erzeugen. Für diese Art von Ausgang ist auch die Bezeichnung *wired-OR* (verdrahtetes-ODER) gebräuchlich. Für den externen Widerstand ergibt sich das bekannte Problem des Fan-out. Der Mindestwert errechnet sich aus der maximalen Belastung des Ausgangstransistors (Stromsenke), der Maximalwert aus der Belastung bei gesperrtem Ausgangstransistor über die nachgeschaltete Last.

Der Tri-state Datenausgang Abb. 3.7b hat die drei möglichen Zustände: niederes Potential, hohes Potential oder gesperrt. Im gesperrten Zustand belastet der Ausgang nicht die angeschlossene Datenleitung. Der Tri-state Datenausgang kann somit an ein bidirektionales Datenbus angeschlossen werden.

Bei Ausgabe von Daten wird die Darlingtonstufe der Transistoren T6 und T7 über die Schaltstufe der Transistoren T1 und T2 durchgesteuert. In diesem Falle wird der Datenausgang auf den internen Lastwiderstand geschaltet. Die Darlingtonstufe erfüllt somit eine pull-up Funktion. Gleichzeitig wird entsprechend den Daten am Leseverstärker über die Schaltstufe der Transistoren T3 bis T5 der Ausgangstransistor T8 gesteuert (*pull-down-Funktion*), so daß der Datenausgang hohes oder niederes Potential führt. Um den Datenausgang hochohmig zu machen, wird der Baustein inaktiviert. In diesem Falle werden die Transistoren T6 bis T8 über die Schaltstufen T1 und T2 sowie T3 und T4 gesperrt.



offener Kollektor

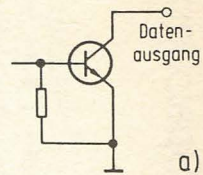


Abb. 3.7 Datenausgänge

4 Realisierung von Speicherzellen

Speicherzellen werden hauptsächlich mit Hilfe der Halbleiterbauelemente Diode und Transistor realisiert, wobei verschiedene Technologien zur Anwendung kommen. Der Aufbau von Speicherzellen geschieht vor allem unter Berücksichtigung der Kriterien Speicherkapazität, Zugriffszeit, Verlustleistung und Kosten pro Bit. Hierbei strebt man einen idealen Speicher mit größter Kapazität, geringer Zugriffszeit und Verlustleistung sowie niedrigsten Kosten an. In der Praxis ist dies natürlich nur bedingt möglich. So muß man beispielsweise für eine Speicherzelle mit geringer Zugriffszeit relativ hohe Verlustleistungen hinnehmen. Auf der Ebene der Speicherzellen unterscheiden wir zwischen statischen und dynamischen Speicherzellen. Statische Speicherzellen werden sowohl in Schreib-/Lesespeichern als auch in Festwertspeichern verwendet, während dynamische Speicherzellen nur in Schreib-/Lesespeichern zur Anwendung kommen. In Bezug auf die Herstellungsverfahren lassen sich Speicherzellen in die Gruppen bipolare- und MOS-Speicher einteilen.

4.1 Statische Speicherzellen für Schreib-/Lesespeicher

4.1.1 Multiemitterzelle

Das Grundelement der statischen, bipolaren Speicherzelle bildet das bistabile Flipflop, das aus zwei über Kreuz gekoppelten Invertoren besteht. (*Abb. 4.1*).

Die Kollektorspannung des einen Transistors steuert die Emitter-Basisstrecke des andern Transistors. Diese Art von Flip-flop hat, wie es der Name schon sagt, zwei stabile Zustände. Das Kippen des Flipflop erfolgt durch gleichzeitige, einander invertierte Impulse an beiden Emitttern.

Abb. 4.1 Bistabiles Basisflipflop

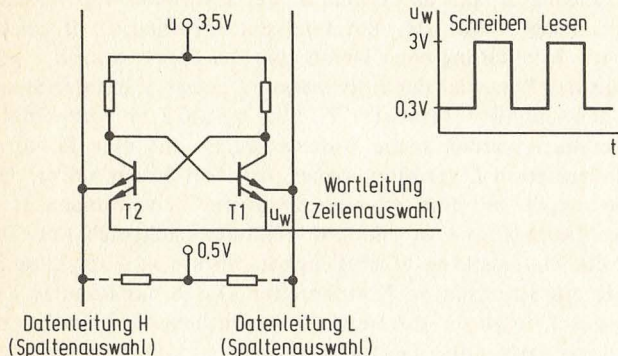
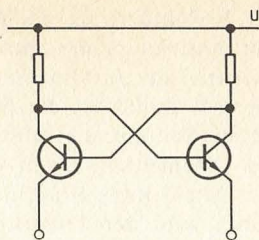


Abb. 4.2 Bipolare Speicherzelle mit Multiemittertransistor

Zur Ergänzung des Flipflops zu einer Speicherzelle muß dieses Flipflop ansteuerbar sein und dessen Schaltzustand an den Kollektoren abfragbar sein. Dieses entspricht einem Schreib- und Lesevorgang. Die integrierte Technik bedient sich zur Realisierung der statischen Speicherzelle zweier Multiemitter-Transistoren (Abb. 4.2). Zwei der Emittter der Transistoren T1 und T2 werden an eine Wortleitung angekoppelt. Die zwei restlichen Emittter werden je einer Datenleitung mit der Information H bzw. L zugeordnet.

Betrachten wir zunächst den Ruhezustand. In diesem Fall liegt die Wortleitung auf dem Potential der Information 0 und

der Kollektorstrom des leitenden Transistors fließt über sie ab. Zur Aktivierung der Speicherzelle wird die Wortleitung auf das Potential der Information H gelegt. Die Basis-Emitter Strecken sperren. Damit ist die Speicherzelle bereit zum Einlesen von Daten. Soll z.B. die Information L eingeschrieben werden, wird die Datenleitung L auf das Potential der Information L und die Datenleitung H auf das Potential der Information H gelegt. Somit wird der Transistor T1 leitend und der Transistor T2 gesperrt. Beim Einschreiben der Information H dagegen wird die Datenleitung H auf das Potential der Information L und die Datenleitung L auf das Potential der Information H gelegt. Wird die Wortleitung nach Beendigung des Schreibvorgangs wieder auf das Potential der Information L gelegt, fließt der Strom über den leitenden Transistor T2 über sie ab. Zum Auslesen der Information werden beide Datenleitungen auf dem Potential der Information L gehalten. Dabei fließt ein Strom auf der Datenleitung, die mit dem leitenden Transistor T2 verbunden ist.

Der Datenleitung ist ein Leseverstärker nachgeschaltet. Der über die Datenleitung H abfließende Strom wird im Leseverstärker zur Information H aufbereitet. Durch das ständige Leiten eines Transistors ist bereits ein wesentliches Merkmal, nämlich der relativ hohe Leistungsverlust der statischen Speicherzelle erkennbar. Eine kleine Verlustleistung und ein großes Lesesignal können nicht gleichzeitig verwirklicht werden.

Es ist weiterhin erkennbar, daß beim Trennen der Spannungsversorgung die gespeicherte Information verloren geht. Das heißt, beim Wiedereinschalten ist der Zustand des Flipflop undefiniert. Ferner kann nicht zugleich in die Speicherzelle eingeschrieben oder aus der Speicherzelle gelesen werden. Die in die Speicherzelle eingeschriebene Information geht beim Lesen nicht verloren. Man bezeichnet dies als zerstörungsfreies Lesen.

Der Aufbau der in Abb. 4.2 dargestellten Speicherzelle ist einfach und kostengünstig, der Zugriff relativ schnell. Die Speicherzelle ist ferner direkt kompatibel zur TTL-Logik. Die Verlustleistung beträgt typisch ca. 0,8 mW/Bit. Sie wird häufig für 64 und 256 Bit Speicherzellen verwendet. Werden die Multiemittertransistoren mit einem dritten Emitter je Transistor ver-

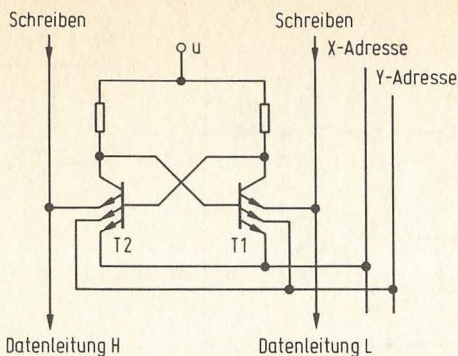


Abb. 4.3 Bipolare bitorganisierte Speicherzelle

sehen, kann ein bitorganisierter Speicher, wie in *Abb. 4.3* dargestellt, realisiert werden.

4.1.2 Diodengekoppelte Speicherzelle

Bei der diodengekoppelten Speicherzelle (*Abb. 4.4*) entfallen die Multiemittertransistoren. Die Datenleitungen sind über Dioden an die Kollektoren angekoppelt. Die Dioden sind in den Kollektorstrecken der Transistoren integriert. Auch die $1k$ - und $1,2k$ Widerstände sind in den Transistoren integriert, sie sind gewissermaßen Bestandteil der Transistoren, der sich aus dem integrierten Aufbau ergibt und stellen keine mit Absicht eingebauten Widerstände dar.

Im Ruhezustand fließt über den leitenden Transistor ein geringer Strom, da die Wortleitung auf ein Potential von $2,5\text{ V}$ angehoben ist und die Widerstände $R1$ und $R2$ hochohmig sind. Die Dioden sind gesperrt. Die Widerstände $R1$ und $R2$ können deswegen hochohmig sein, weil sie keinen Einfluß auf die Geschwindigkeit des Schaltkreises haben. Zum Lesen der

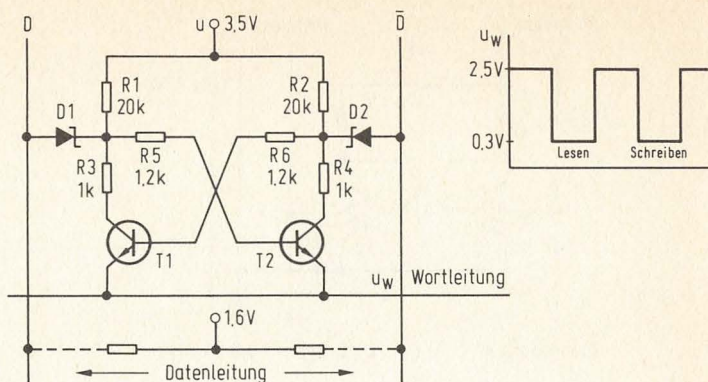


Abb. 4.4 Diodengekoppelte Speicherzelle

Information wird die Wortleitung auf ein Potential von $0,3 V$ abgesenkt. Über den weiterhin leitenden und bis zur Sättigung durchgesteuerten Transistor sowie dessen niederohmigen $1k$ Kollektorwiderstand fließt über die durchgeschaltete Diode ein Lesestrom von ca. $0,5 mA$. Nach dem Lesen wird das Potential der Wortleitung wieder auf $2,5 V$ angehoben und die leitende Diode wieder gesperrt.

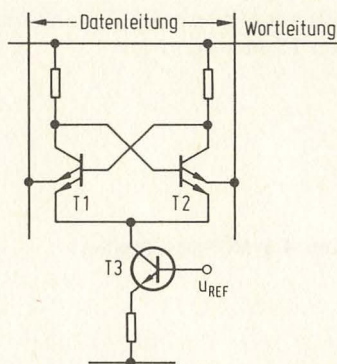
Zum Einschreiben einer Information wird die Wortleitung ebenfalls auf $0,3 V$ abgesenkt und eine der Datenleitungen unter Strom gesetzt. So würde beispielsweise ein Strom auf der Datenleitung D über die Diode $D1$ den Transistor $T2$ durchsteuern und umgekehrt ein Strom auf der Datenleitung $\bar{D}$ über die Diode $D2$ den Transistor $T1$ durchsteuern. Die Umschaltung kann sehr schnell erfolgen und ist von außen nicht beeinflussbar. Die diodengekoppelte Speicherzelle ist hinsichtlich der Verlustleistung und Schaltzeit gegenüber der Multiemitterzelle verbessert.

4.1.3 ECL-Speicherzelle (Emitter coupled Logic)

Der Aufbau einer ECL-Speicherzelle ist ähnlich wie der der Multiemitterzelle. Nur werden die Transistoren T1 und T2 (Abb. 4.5) nicht im Sättigungsbereich, sondern nach dem Prinzip der Stromumschaltung in einem genau definierten Bereich betrieben. Hierzu ist eine Konstantstromquelle mit dem Transistor T3 erforderlich. Das Schreiben und Lesen entspricht der Multiemitterzelle mit der Ausnahme, daß die Spannungsversorgung durch das Potential der Wortleitung bestimmt wird. Ist die Speicherzelle nicht ausgewählt, liegt die Wortleitung auf niederem Potential. Wird die Speicherzelle ausgewählt und dabei das Potential angehoben, ist der Spannungsabfall höher als bei der nicht ausgewählten Speicherzelle. Durch die nicht in der Sättigung betriebenen Transistoren T1 und T2 ist diese Speicherzelle sehr schnell und hat die geringste Zugriffszeit aller Halbleiterspeicherzellen.

Sie kann außerdem in weiten Spannungsbereichen dimensioniert werden. Die Schnelligkeit der Speicherzelle muß infolge der erforderlichen Konstantstromquelle mit relativ hoher Verlustleistung erkaufte werden.

Abb. 4.5 ECL-Speicherzelle



4.1.4 Statische MOS-Speicherzelle

Die MOS-Technik bietet gegenüber der bipolaren Technik vor allem den Vorteil eines einfacheren Herstellungsverfahrens, einer höheren Speicherdichte und einer geringeren Verlustleistung. Demgegenüber muß allerdings eine höhere Betriebsspannung, hohe Impedanzen und die Einhaltung von Schwellenspannungen in Kauf genommen werden. *Abb. 4.6* zeigt den grundsätzlichen Aufbau eines MOS-Flipflops. Der Unterschied zum Flipflop mit bipolaren Transistoren besteht darin, daß die Arbeitswiderstände durch die MOS-Transistoren T3 und T4 ersetzt sind.

Die Transistoren sind in Drain-Schaltung betrieben und integriert. *Abb. 4.7* zeigt eine bitorganisierte MOS-Speicherzelle, bei der 8 Transistoren erforderlich sind. Die Transistoren T5 bis T8 können als Schalter betrachtet werden, die bei Ansprechen der Speicherzelle über die XY-Adresse schließen und das Flipflop der Transistoren T1 bis T4 auf die beiden Datenleitungen schalten. Über die beiden Datenleitungen wird das Flipflop beim Schreiben gesetzt oder beim Lesen abgefragt. Bei der wortorganisierten MOS-Speicherzelle (*Abb. 4.8*) sind 6 Transistoren erforderlich, wobei die Transistoren T5 und T6 als Schalter zu betrachten sind. Der Zustand der Speicherzelle läßt bei Aktivierung der Transistoren über die Wortleitung entweder abfragen oder ändern. Im Zustand der Speicherung sind die Transistoren T5 und T6 offen.

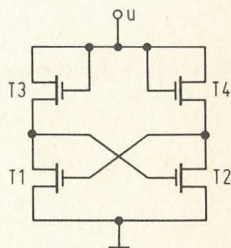


Abb. 4.6 MOS-Basisflipflop

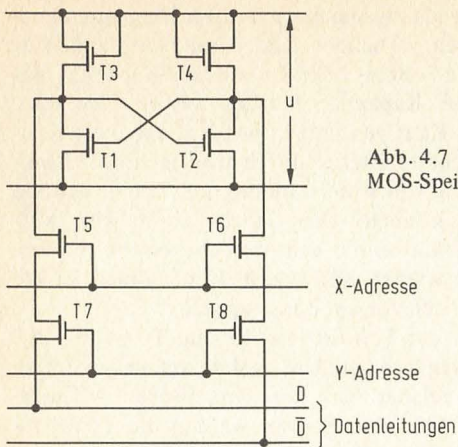


Abb. 4.7 Bitorganisierte statische MOS-Speicherzelle

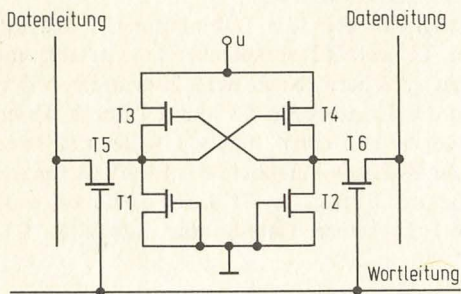


Abb. 4.8 Wortorganisierte statische MOS-Speicherzelle

4.2 Dynamische Speicherzellen für Schreib/Lesespeicher

Verlustleistung und erhöhter Platzbedarf, ein Nachteil von statischen Speicherzellen, führten zur Entwicklung von dynamischen Speicherzellen. Dynamische Speicherzellen lassen sich nur in MOS-Technik herstellen. Sie speichern Informationen in Spei-

cherkondensatoren, die als sogenannte parasitäre Elemente ohnehin in MOS-Schaltungen vorhanden sind. Und zwar handelt es sich hier um die Gate-Source- oder Gate-Drain Kapazität des MOS-Transistors. Diese Kapazität beträgt wenige Picofarad. Hier muß allerdings in Kauf genommen werden, daß diese Kondensatoren ihre gespeicherte Energie durch unvermeidliche Leckströme (Parallelschaltung von Widerständen) nur für eine gewisse Zeit aufrechterhalten können. Dies macht zusätzliche Auffrischschaltungen *refresh circuits*) erforderlich, welche die verlorene Energie ständig wieder auffrischen. In der Praxis ist ein Auffrischzyklus im Bereich von ca. 2 ms typisch.

Wenn man das Gate der Transistoren T3 und T4 (Abb. 4.8), welche die Lastwiderstände darstellen, anstatt auf festes Potential zu legen, taktet, gelangt man zur dynamischen 4 Transistor-Speicherzelle der Abb. 4.9. Hierbei werden die Transistoren T3 und T4 während der Taktphase soweit durchgesteuert, daß sie Schalterfunktion haben.

Dies ermöglicht über die Datenleitungen das Flipflop der Transistoren T1 und T2 entsprechend zu setzen und eine Information zu speichern. Nach dem Einschreiben der Information werden die Transistoren T3 und T4 durch Absenken ihrer Gate-Spannungen auf einen höheren Widerstandswert geschaltet, so daß sie als Lastwiderstände des Flipflops fungieren. Wenn beispielsweise der Transistor T1 durch Speichern einer Ladung (Information) in seiner Gate-Source Kapazität C1 durchge-

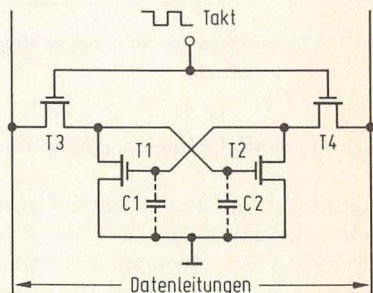


Abb. 4.9 Dynamische
4-Transistor Speicherzelle

steuert ist, wird sich die gespeicherte Ladung über die gesperrten Transistoren T2 und T4 (Parallelwiderstände) entladen. Um dies zu verhindern, muß die Speicherzelle aufgefrischt werden, ehe die Ladung vollständig verloren geht. Dieses Nachladen geschieht über die Transistoren T3 und T4. Hierbei ist zu bemerken, daß während des Auffrischvorgangs nicht auf die Speicherzelle, etwa zum Lesen, zugegriffen werden kann. Zum Lesen wird der Widerstandswert der Transistoren T3 und T4 verringert und die Potentiale bzw. Ströme an den Transistoren T1 und T2 abgefragt.

Bei der 4-Transistor-Speicherzelle läßt sich ein weiterer Transistor einsparen, wenn man bedenkt, daß bei einem bistabilen Flipflop immer nur einer der Transistoren leitend ist. Dies führt zur 3-Transistor-Speicherzelle wie in Abb. 4.10 dargestellt. Die Transistoren T1 und T3 dienen als Schalter und der Transistor T2 mit seiner Gate-Source Kapazität C als Speicherelement. Das Einschreiben der Information erfolgt durch Aktivieren des Transistors T1 über die Schreibauswahlleitung. Der Transistor T1 steuert durch und lädt oder entlädt die Gate-Source Kapazität C des Transistors T2 entsprechend dem Potential auf der Datenleitung. Zum Lesen der Information wird Transistor T3 aktiviert und das Potential der Datenleitung auf z.B. +12 V der Spannungsversorgung angehoben. Ist die Spannung

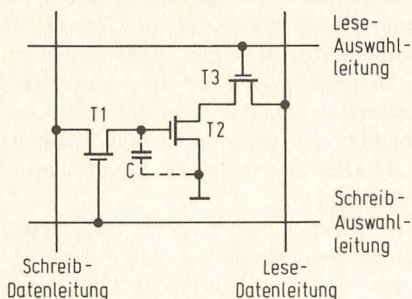
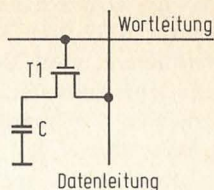


Abb. 4.10 Dynamische 3-Transistor Speicherzelle

Abb. 4.11 Dynamische 1-Transistor Speicherzelle



am Kondensator C so groß gewesen, daß der Schwellwert von Transistor T2 erreicht wurde, leitet der Transistor und schaltet niederes Potential auf die Datenleitung. Wurde der Schwellwert nicht erreicht, sperrt der Transistor und die Datenleitung bleibt auf hohem Potential.

Hierbei wird ersichtlich, daß über Transistor T2 eine Invertierung der Information stattfindet. Hohes Potential beim Schreiben ergibt niederes Potential beim Lesen auf der Datenleitung. Ersetzt man bei einer 3-Transistor Speicherzelle die Gate-Source Speicherkapazität des Transistors T2 durch einen Speicherkondensator und findet das Schreiben und Lesen über eine Leitung statt, gelangt man zur 1-Transistor Speicherzelle der Abb. 4.11. Diese Speicherzelle hat minimalsten Platzbedarf, wobei allerdings die Widerstandseigenschaft eines Speicherttransistors verloren geht. Das Schreiben und Lesen der Information geschieht durch Aktivieren des Transistors T1, wobei der Speicherkondensator über die Datenleitung ge- oder entladen wird. Die Datenleitung ist mit einer unvermeidlichen parasitären Streukapazität behaftet, von der das Potential der Lesespannung abhängt. Sie ist in der Praxis sogar größer als die Kapazität des Speicherkondensators. Somit kann nicht zerstörungsfrei gelesen werden.

Es ist nach jedem Lesezyklus ein Wiederauffrischen des Speicherinhalts notwendig. Da das Lesesignal der 1-Transistor Speicherzelle sehr klein ist, steigt der Schaltungsaufwand im Leseverstärker. 1-Transistor- und 3-Transistor Speicherzellen sind am meisten gebräuchlich.

4.3 Quasistatische Speicherzelle

Die quasistatische Speicherzelle ist eine Kombination des statischen und dynamischen Speicherprinzips. In ihr ist die kurze Zugriffszeit der statischen Speicherzelle mit dem geringen Leistungsverbrauch einer dynamischen Speicherzelle vereinigt. Die Speicherzelle ist gemäß Abb. 4.12 als Flipflop aufgebaut, in dessen Kreuzkopplung zwei Transistoren T2 und T3 eingefügt sind. Die Speicherung erfolgt mit den Taktsignalen Φ_1 und Φ_2 . Mit dem Takt Φ_1 wird Transistor T1 durchgeschaltet und Kondensator C1 mit der Information des Dateneingangs geladen. Infolge der noch gesperrten Transistoren T2 und T3 bleibt die alte Information an Kondensator C2 erhalten. Mit dem Takt Φ_2 werden die Transistoren T2, T3 der Kreuzkopplung durchgeschaltet und damit Kondensator C2 auf die neue Information umgeladen. Die Übernahme der Information erfolgt also unter dynamischer Zwischenspeicherung. Im statischen Betrieb bleiben die Transistoren T2, T3 durch ein Dauersignal Φ_2 durchgeschaltet.

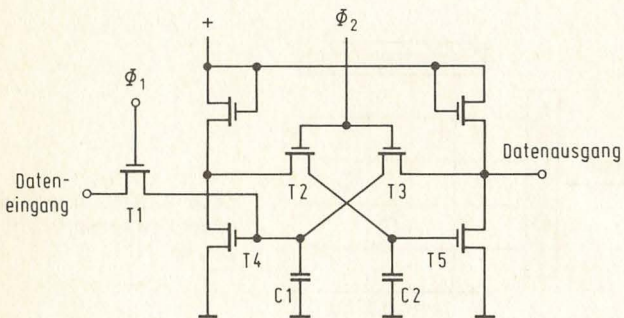


Abb. 4.12 Quasistatische Speicherzelle

4.4 Speicherzellen für Festwertspeicher

Bei Festwertspeichern besteht ähnlich einer verdrahteten Logik eine feste Zuordnung (Verknüpfung) zwischen Ausgang und Eingang. In ihrer Grundstruktur entsprechen sie dem Matrixaufbau der Schreib-/Lesespeicher, allerdings mit dem Unterschied, daß die Speicherzelle einfacher aufgebaut werden kann, weil das betriebsmäßige Einschreiben von Informationen entfällt.

Abb. 4.13 zeigt den Grundaufbau eines Festwertspeichers. Die Adressen werden decodiert und aktivieren über Treiberstufen die horizontal angeordneten Wortleitungen einer Matrix.

Die vertikalen Leitungen sind als Leseleitungen dem Leseverstärker zugeführt, an dessen Ausgängen die Daten zur Verfügung stehen.

In den Kreuzungspunkten der Matrix sitzen Koppellemente und zwar dann, wenn sie z.B. die binäre Information 1 darstellen. Kreuzungspunkte ohne Koppellemente stellen somit die binäre Information 0 dar. Als Koppellemente kommen Widerstände, Dioden und Transistoren zur Verwendung, wie sie in Abb. 4.14 dargestellt sind.

Bei Festwertspeichern unterscheiden wir zwischen nicht programmierbaren- und programmierbaren Speichern. Bei den pro-

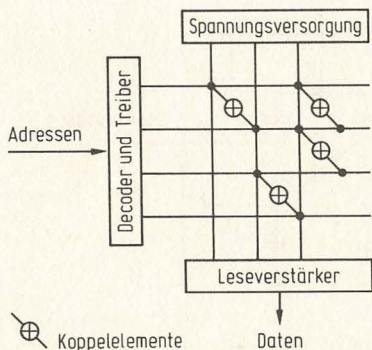


Abb. 4.13 Grundaufbau eines Festwertspeichers

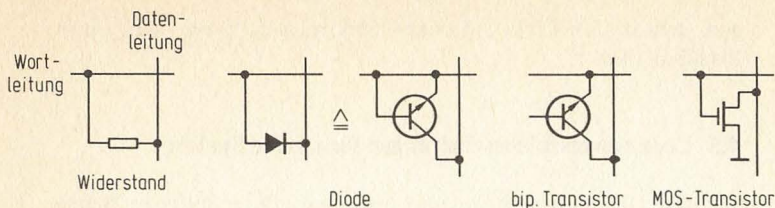


Abb. 4.14 Koppellemente nicht programmierbarer Festwertspeicher

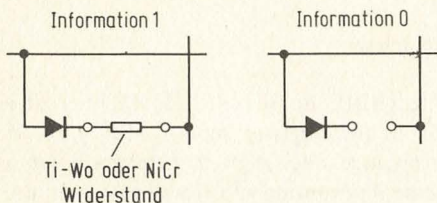


Abb. 4.15 Programmierbares Koppellement

grammierbaren Festwertspeichern unterscheidet man weiter zwischen irreversibler und reversibler Programmierung.

Nicht programmierbare Festwertspeicher werden nach Angaben des Anwenders individuell im Maskenverfahren hergestellt. Bei irreversibel programmierbaren Festwertspeichern sind sämtliche Kreuzungspunkte mit Koppellementen und in Reihe dazu mit einer schmelzbaren Brücke versehen. Diese besteht in vielen Fällen aus einem Widerstand, der durch einen Stromimpuls sicher durchgeschmolzen werden kann (Abb. 4.15).

Aufgrund der einfacheren Struktur läßt sich bei Festwertspeichern im Vergleich zu Schreib-/Lesespeichern eine höhere Speicherdichte erreichen. Energiebedarf und Kosten sind geringer.

Bei reversibel programmierbaren Festwertspeichern werden als Speicherelemente bzw. Koppellemente MOS-Transistoren verwendet, die Ladungen speichern können bzw. deren Ladun-

gen mittels UV-Licht oder auf elektrischem Wege wiederholt löschar sind.

4.5 Ladungsverschiebeschaltungen für serielle Speicher

Ladungsverschiebeschaltungen sind besonders einfache Schaltungsstrukturen, bei denen mit Hilfe von Taktsignalen Ladungen von Speicherzelle zu Speicherzelle geschoben werden.

4.5.1 BBD-Speicher

Die Eimerkette (BBD, Bucket Brigade Device) ist ein dynamisches 2-Phasen Schieberegister gemäß Abb. 4.16. Das Schieberegister kann analoge oder digitale Informationen aufnehmen. Hierzu dient eine Anordnung von Kondensatoren, die über Transistorschalter verbunden sind.

Die Schalter werden durch die zwei Taktsignale so gesteuert, daß abwechselnd die geradzahligen und ungeradzahligen Schal-

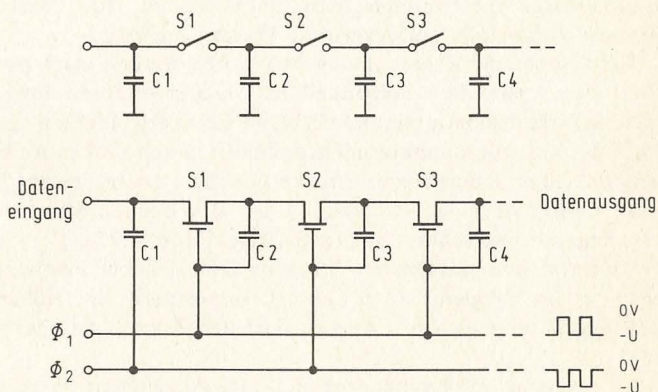


Abb. 4.16 Eimerkettenschaltung

ter schließen. Damit wird eine gespeicherte Information mit jedem Takt um einen Kondensator weitergeschoben. Eimerketten-schaltungen lassen sich sowohl in bipolarer als auch in MOS-Technik realisieren.

Eine Ladungsverschiebung findet nur statt, wenn zwischen zwei Kapazitäten eine Potentialdifferenz herrscht. Dies wird dadurch erreicht, daß die Kondensatoren direkt an den Takt-signalen liegen, d.h. ihr Potential wird ständig um die Ampli-tude der Taktsignale verschoben. Die Ladungsverschiebung er-folgt also von rechts nach links, während die Verschiebung der Dateninformationen von links nach rechts erfolgt. Im Ruhezustand liegen alle Kondensatoren auf dem Potential $-U$.

4.5.2 CCD-Speicher

Der CCD-Speicher (Charge Coupled Device) ist eine ladungsge-koppelte Schaltung. Diese ist die einfachste Struktur aller Halb-leiterspeicher mit folgenden wesentlichen Merkmalen:

- höchste Integrationsdichte,
- niedrigster Preis,
- hohe Arbeitsgeschwindigkeit,
- analoge Datenspeicherung,
- nur dynamische Arbeitsweise.

Die Funktion eines CCD-Speichers ist nicht mehr direkt mit den üblichen Schaltelementen, sondern eher mit der Halbleiter-struktur erklärbar. Ein Siliziumsubstrat enthält eine große An-zahl dicht nebeneinander liegender kettenförmig aufgereihter und isoliert angebrachter Elektroden (*Abb. 4.17*). Transistoren befinden sich nur noch am Ein- und Ausgang der Kette. Daten-signale am Eingang injizieren entsprechende Ladungen in dem Bereich unterhalb der ersten Elektrode. Taktspannungen, die in geeigneter zeitlicher Reihenfolge an den Elektroden der Kette anliegen, bewegen die Ladungen mit jedem Taktwechsel unter der Oberfläche, um eine Stelle weiter in Richtung auf das Ende

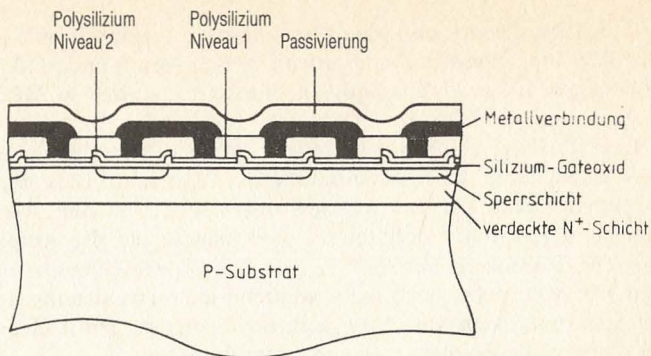
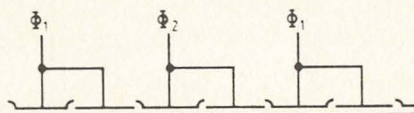
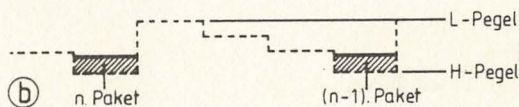


Abb. 4.17 CCD-Speicherstruktur mit 2 Phasentakt

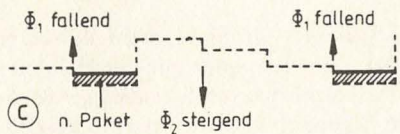


(a)

Zum Zeitpunkt t_1



Zum Zeitpunkt t_2



Zum Zeitpunkt t_3



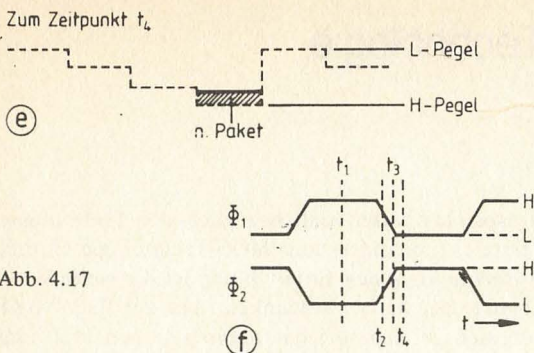


Abb. 4.17

- a) Anordnung der Elektroden
- b) Ladungsverteilung zum Zeitpunkt t_1
- c) Ladungsverteilung zum Zeitpunkt t_2 : Φ_1 fällt, Φ_2 steigt
- d) Ladungstransport zur nächsten Elektrode (t_3)
- e) Ladungsverteilung zum Zeitpunkt t_4
- f) Lage der Zeitpunkte $t_1, \dots, t_4$

der Kette. Es gibt 3-Phasen- und 2-Phasensysteme. Neben linearen Ketten können auf x-y Speicherflächen gebildet werden. Der Transport der Ladungen sei am Beispiel eines 2-Phasensystems der Abb. 4.17 erläutert.

Zum Zeitpunkt t_1 ist der Takt Φ_1 auf hohem Potential und die Ladung sammelt sich unter der ersten Elektrode. Zum Zeitpunkt t_2 brechen die Potentialsenken unter den Φ_1 -Elektroden zusammen, wogegen das Φ_2 -Potential steigt. Die Ladung fließt dann zur Φ_2 -Elektrode, wenn das Potential unter der zweiten Φ_2 -Elektrode niedriger ist als unter der zweiten Φ_1 -Elektrode. Die implantierte Sperrschicht erhöht die Schwellenspannung der Elektroden in der zweiten Lage gegenüber denen der ersten Lage. Daher besteht bei gleicher Spannung an beiden Elektroden eine Potentialdifferenz, welche verhindert, daß Ladung zurückfließt. Der Ladungstransfer ist beendet, wenn zum Zeitpunkt t_4 das Ladungspaket unter der Φ_2 -Elektrode angekommen ist.